

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

## Patent Abstracts of Japan

PUBLICATION NUMBER : 10247647  
PUBLICATION DATE : 14-09-98

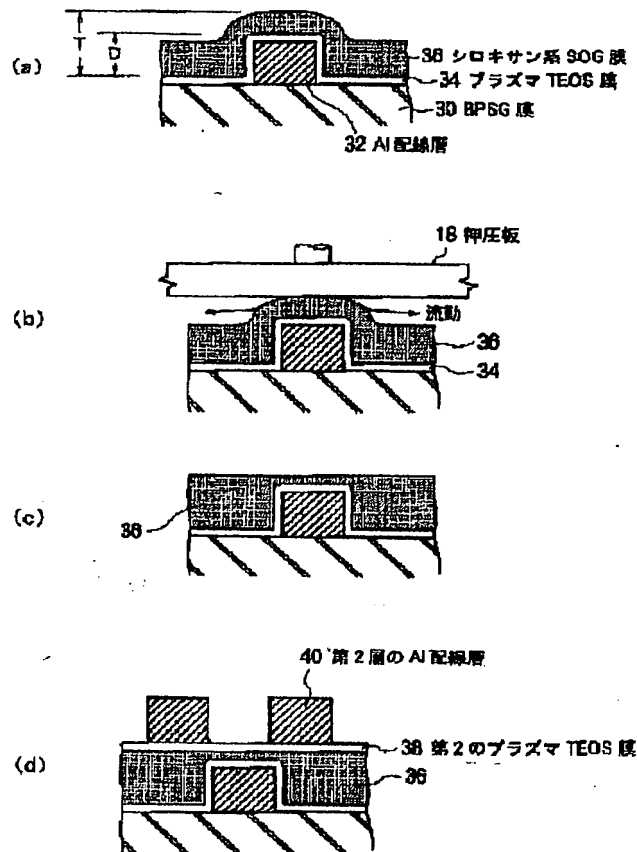
APPLICATION DATE : 04-03-97  
APPLICATION NUMBER : 09048983

APPLICANT : SONY CORP;

INVENTOR : NOGUCHI OSAMU;

INT.CL. : H01L 21/316 H01L 21/768 H01L 21/31

TITLE : METHOD AND DEVICE FOR  
FLATTENING SUBSTRATE SURFACE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a substrate surface flattening method for achieving a further global flattening by flattening an interlayer insulation film as compared with a conventional method when forming a multilayer wiring structure.

SOLUTION: A flattening method includes a process for applying siloxane SOG 36 onto a substrate ground layer 34 to achieve a coating thickness exceeding the elevation difference of the level difference of the substrate ground layer and a process for performing curing by performing a heat treatment onto the siloxane SOG application film at a fluidization temperature or higher, pressing the high region on the siloxane SOG film surface on a flat-surface-shaped pressurization surface 18, moving the siloxane SOG at a high region onto the substrate ground layer, and filling siloxane SOG between the pressurization surface and the ground layer over the entire surface of the substrate wiring layer.

COPYRIGHT: (C)1998,JPO

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-247647

(43) 公開日 平成10年(1998) 9月14日

(51) Int.Cl.<sup>9</sup>

識別記号

F I

H 0 1 L 21/316

H 0 1 L 21/316

G

21/768

21/90

Q

21/31

21/95

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号

特願平9-48983

(22) 出願日

平成9年(1997) 3月4日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 野口 修

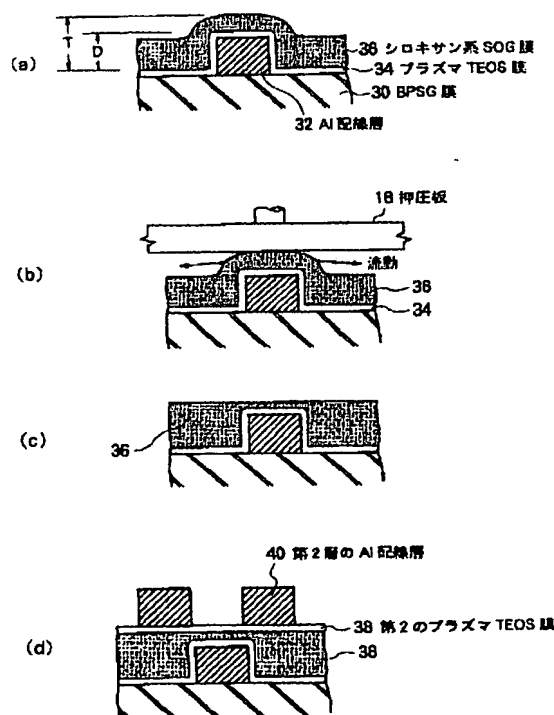
長崎県諫早市津久葉町 1883 番 43 ソニー長崎株式会社内

(54) 【発明の名称】 基板面の平坦化方法及び平坦化装置

(57) 【要約】

【課題】 多層配線構造を形成するに際し、従来の方法に比べて、層間絶縁膜を平坦化し、一層のグローバル平坦化を実現する基板面平坦化方法を提供する。

【解決手段】 本方法は、半導体基板上に多層配線構造を形成する際の平坦化方法である。基板下地層の段差の高低差以上の塗布厚さになるようにシロキサン系 SOG 36 を基板下地層 34 上に塗布する工程と、流動化温度以上でシロキサン系 SOG 塗布膜に熱処理を施し、平面状の押圧面 18 でシロキサン系 SOG 膜面の高所領域を押圧して、高所領域のシロキサン系 SOG を基板下地層上の低所に移動させ、基板面全面にわたり押圧面と下地層との間にシロキサン系 SOG を充填させつつキュアリングする工程とを備え、第 2 の配線層の形成の前に基板のグローバル平坦化を行う。



## 【特許請求の範囲】

【請求項1】 シロキサン系SOG膜からなる絶縁膜を基板上に形成するために、基板下地層の段差の高低差以上の塗布厚さになるようにシロキサン系SOGを基板下地層上に塗布する工程と、

シロキサン系SOGの流動化温度以上の温度でシロキサン系SOG塗布膜に熱処理を施してシロキサン系SOGを流動化させると共に、平面状の押圧面でシロキサン系SOG膜面の高所領域を押圧して、高所領域のシロキサン系SOGを基板下地層上の低所に移動させ、基板面全面にわたり押圧面と下地層との間にシロキサン系SOGを充填させつつキュアリングする工程とを備えて、基板のグローバル平坦化を行うようにしたことを特徴とする基板面の平坦化方法。

【請求項2】 熱処理の温度が約400℃であることを特徴とする請求項1に記載の基板面の平坦化方法。

【請求項3】 半導体基板上に多層配線構造を形成する際、第1の配線層を形成した後、第1の配線層上に第2の配線層を形成する前に基板のグローバル平坦化を行う基板面の平坦化方法であって、

シロキサン系SOGからなる絶縁膜が、第1の配線層とその上の第2の配線層との間に設けられる層間絶縁膜であることを特徴とする請求項1又は2に記載の基板面の平坦化方法。

【請求項4】 基板を支持するサセプタを内部に備え、サセプタ上の基板に熱処理を施すようにした反応チャンバと、

反応チャンバ内の基板を加熱する加熱手段と、サセプタ上の基板に対面し、基板より大きな平面を有する押圧板と、押圧板を基板に対して昇降させる昇降機構とを有する押圧装置とを備えていることを特徴とする平坦化装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、基板面の平坦化方法に関し、更に詳細には、多層配線構造を形成する際、層間絶縁膜を平坦化してグローバル段差を小さくし、リソグラフィのフォーカスマージンを大きくできる、基板面の平坦化方法、及びその方法の実施に好適な平坦化装置に関するものである。

## 【0002】

【従来の技術】多層配線構造を形成する際に層間絶縁膜にグローバル段差が生じていると、リソグラフィ技術を適用してパターンニングする際、フォーカスマージンが減少し、正確なパターンニングを行うことが難しくなる。層間絶縁膜の平坦化方法として、従来、層間絶縁膜としてSOG (Spin on Glass) を使用し、塗布したSOG膜をエッチバックして平坦化する方法が、広く用いられている。

【0003】ここで、図3を参照しながら、アルミニウ

ム配線層（以下、A1配線層と言う）の多層配線構造を形成する場合を例に挙げて、従来の平坦化方法の概略を説明する。まず、図3(a)に示すように、基板上に、順次、下層層間絶縁膜としてBPSG (Boro-Phospho Silicate Glass) 膜50を成膜し、第1層のA1配線層52を形成し、SOG膜との密着層として、プラズマCVD法による酸化膜、例えば膜厚400nm程度のプラズマTEOS膜54を基板上全面に成膜する。更に、プラズマTEOS膜54上にスピコートによりSOG膜56を膜厚500nm程度に塗布する。次いで、CF<sub>4</sub>等のエッチングガスを用いた反応性イオンエッチング (Reactive Ion Etching、RIE) によりエッチバックし、図3(b)に示すように、A1配線層52上のSOG膜56、更にプラズマTEOS膜54の一部を除去する。次いで、再度、基板上全面に第2のプラズマTEOS膜58を形成し、基板面を平坦化している。

## 【0004】

【発明が解決しようとする課題】しかし、上述した従来の平坦化方法には、次のような問題があった。第1には、基板上のグローバル段差が大きいことである。すなわち、図4に示すように、SOG膜を塗布した際、A1配線が密な領域60では、SOG膜の高さが高いため、基板面の平坦化が実現できる。しかし、A1配線が疎な領域62では、SOG膜の高さが低いために、半導体デバイス全体のグローバル段差Gを改善することが難しい。このグローバル段差は、半導体デバイスの微細化に伴い、リソグラフィのフォーカスマージンを低下させる大きな要因となっていて、これを低減することが半導体デバイスの高集積化のために今後益々重要になって来る。第2には、従来の平坦化方法は、工程数が多いことである。第3には、エッチバック時にプラズマTEOS膜から放出される酸素の影響により、SOG膜とプラズマTEOS膜とのエッチング選択比、即ちエッチングレートの比率が変化するため、エッチングのウエハ面内均一性が悪いという問題もある。

【0005】ところで、化学的機械研磨 (Chemical Mechanical Polishing、以下、CMPと略記する) 技術は、半導体デバイスのグローバル平坦化を達成する有力な技術の一つとして、現在、注目されている。CMP技術とは、図5(a)に示すように、配線層66上にプラズマTEOS等の層間絶縁膜64を成膜した基板表面にスラリー状の研磨剤68を流し、研磨パッド70を回転させて研磨剤68によって層間絶縁膜64を研磨することにより、図5(b)に示すように層間絶縁膜64を平坦化し、グローバル段差を改善するものである。しかし、CMP技術は、グローバル段差を改善できるものの、スラリーに含まれるアルカリ性溶剤が基板上に形成された半導体素子に対して悪影響を及ぼすため、CMP後に基板面を洗浄することが必要であって、そのために工程数が増え、また、研磨時にダストが発生したり、研

磨の終点検出が難しいという問題があったりして、必ずしも、満足できる平坦化技術とは言えない。

【0006】本発明は、従来の平坦化方法に付随するこのような問題に鑑みて考案されたもので、多層配線構造を形成するに際し、従来の方法に比べて、一層のグローバル平坦化を実現する基板面の平坦化方法及びその方法に実施に使用する装置を提供することにある。

【0007】

【課題を解決するための手段】本発明者は、従来の有機SOG膜に代えて、400℃程度の余り高くない高温雰囲気中で流動性を有するシロキサン系SOGを層間絶縁膜として使用し、塗布後に400℃程度の熱処理をシロキサン系SOGに施して流動させる従来の平坦化方法に着目した。但し、これだけでは、流動性が不足してグローバル段差の解消には不十分なので、シロキサン系SOG膜面を機械的に押圧することにより、強制的に高所から低所に移動させ、これによりグローバル段差を解消することを着想し、本発明方法を完成するに至った。

【0008】上記目的を達成するために、本発明に係る基板面の平坦化方法は、シロキサン系SOG膜からなる絶縁膜を基板上に形成するために、基板下地層の段差の高低差以上の塗布厚さになるようにシロキサン系SOGを基板下地層上に塗布する工程と、シロキサン系SOGの流動化温度以上の温度でシロキサン系SOG塗布膜に熱処理を施してシロキサン系SOGを流動化させると共に、平面状の押圧面でシロキサン系SOG膜面の高所領域を押圧して、高所領域のシロキサン系SOGを基板下地層上の低所に移動させ、基板面全面にわたり押圧面と下地層との間にシロキサン系SOGを充填させつつキュアリングする工程とを備えて、基板のグローバル平坦化を行うようにしたことを特徴としている。

【0009】本発明でシロキサン系SOGを使用するのは、400℃程度の余り高くない温度雰囲気中で高い流動性を有するからである。シロキサン系SOGとは、ガラス成分にシロキサン系化合物を有するSOGである。シロキサンとは、 $\text{Si}-\text{O}$ 結合（シロキサン結合）をもつ化合物の総称であって、鎖状シロキサン $\text{H}_3\text{SiO}(\text{H}_2\text{SiO})_n-\text{SiH}_3$ 、環状シロキサン $(-\text{H}_2\text{SiO}-)_n$ などの一般式で示される化合物である。シロキサン系SOGを塗布する方法は、制約はなく、例えばスピコートにより塗布する。熱処理の温度は、シロキサン系SOGの流動化温度以上の温度で、例えば400℃である。押圧面で押圧する方法は、制約はないが、実用的には機械的押圧で良い。

【0010】本発明方法は、絶縁膜をシロキサン系SOGで成膜する限り、絶縁膜の目的のいかんを問わず適用できるが、特に、半導体基板上に多層配線構造を形成する際、第1の配線層を形成した後、第1の配線層上に第2の配線層を形成する前に基板のグローバル平坦化を行うための基板面の平坦化方法として最適である。

【0011】本発明方法を実施する際に使用する平坦化装置は、基板を支持するサセプタを内部に備え、サセプタ上の基板に熱処理を施すようにした反応チャンバと、反応チャンバ内の基板を加熱する加熱手段と、サセプタ上の基板に対面し、基板より大きな平面を有する押圧板と、押圧板を基板に対して昇降させる昇降機構とを有する押圧装置とを備えていることを特徴としている。

【0012】本発明の平坦化装置では、押圧装置の押圧板を昇降機構を使って基板上のシロキサン系SOG膜面に下降させ、接触しつつ押圧して、高所のシロキサン系SOGを低所に流動させて、シロキサン系SOG膜を押圧面と下地層との間に充填させて平坦化する。また、本発明の平坦化装置を使用することにより、同一装置内で工程数を増やすことなく基板上のグローバル段差を改善でき、リソグラフィ工程におけるフォーカスマージンを拡大することが可能となる。

【0013】

【発明の実施の形態】以下に、添付図面を参照し、実施例を挙げて、本発明の実施の形態を具体的かつ詳細に説明する。尚、以下の説明で温度条件、絶縁膜の材料、膜厚等は本発明の理解のための例示であって、これに限るものではない。

#### 実施例

本実施例は、本発明に係る平坦化装置の実施例である。図1は、本実施例の平坦化装置の構成を示す模式的断面図である。本実施例の平坦化装置10は、基板上に塗布されたシロキサン系SOG膜をキュアリングすると共にシロキサン系SOG膜を機械的に押圧して平坦化する装置である。本キュアリング10は、図1に示すように、ウエハに塗布されたSOG膜をキュアするための反応チャンバ12と、反応チャンバ12の周囲にリング状に設けられ、反応チャンバ12をキュア温度に加熱する抵抗加熱ヒータ14とを備えている。反応チャンバ12内には、ウエハWを載置するサセプタ16が下部に設けてあり、また、上部には、サセプタ16上のウエハWに対面し、ウエハWより僅かに大きな寸法の円盤状の押圧板18と押圧板18をウエハWに向けて上下に昇降させる油圧式昇降機構20とを備え、ウエハWの基板面をほぼ一様に押圧する押圧装置22が設けてある。また、反応チャンバ12には $\text{N}_2$ ガス、或いは不活性ガスを送入し、吸引するために、送入口24と、吸引口26とが設けてある。サセプタ16及び押圧板18は、400℃以上の温度及び押圧力に十分耐え得るような材質、例えば炭化ケイ素( $\text{SiC}$ )、窒化アルミニウムニウム( $\text{AlN}$ )等で形成する。

【0014】以下に、図1に示す平坦化装置を使用して、SOG膜の平坦化を行う方法を図2を参照しつつ説明する。まず、図2(a)に示すように、基板上に、順次、下層絶縁膜としてBPSG膜30を成膜し、1層目のA1配線層32を形成し、SOGの密着層としてブラ

ズマTEOS膜34を例えば400nmの膜厚でA1配線層32上に堆積する。続いて、プラズマTEOS膜34上にシロキサン系SOG36（以下、簡単にSOG36と言う）を500nmの膜厚になるように塗布する。

【0015】次いで、図1に示した平坦化装置10の反応チャンバ12内にSOG36を塗布した基板を搬入し、送入口24からN<sub>2</sub>を送入し、吸引口26から吸引しつつ、抵抗加熱ヒーター14により400℃に加熱して、SOG36に400℃程度の熱処理を窒素雰囲気下で施す。熱処理の結果、SOG36は流動し始める。SOG36が流動し始める時点で、押圧装置22を起動し、図2（b）に示すように、押圧板18により押圧力を基板上のSOG36に作用させる。これにより、段差の高い領域にあるSOG36は、図2（b）に示すように、押圧力により強制的に段差の低い領域に押し流される。押し流されたSOG36は、上方の押圧板18とプラズマTEOS膜34との間に挟まれて、その間に充填する。段差の高い領域と低い領域との間でSOG36の高低差がなくなった段階になると、SOG36の流動は停止し、最終的には図2（c）に示すような平坦なSOG36の面を得ることができる。

【0016】その後、図2（d）に示すように、層間耐圧を維持するために、SOG36上に第2のプラズマTEOS膜38を成膜し、次いで第2層のA1配線層40を形成する。これにより、正確にパターンニングされた、欠陥のない多層アルミニウム配線構造を形成することができる。

【0017】なお、この処理においては、SOG36の塗布厚さを下地層、即ちプラズマTEOS膜34の段差の高低差以上に設定することが必要である。例えば、段差の高低差（図2（a）でDで表示）が500nmである場合は、SOG36の塗布厚さ（図2（a）でTで表示）を500nm以上にする必要がある。それは、グローバル段差のない十分に平坦な基板面を得るためには、SOG36が段差の高い領域から低い領域に押圧力により流動した後、押圧板18と下地のプラズマTEOS膜34との間が、基板面全面にわたり、SOG36により充填されていることが必要であるからである。そのためには、段差の低い領域のSOG36の膜厚が、SOG36の流動後、段差の高低差よりも高くなることが必要であり、逆に、段差の低い領域の膜厚が、SOG36の流動後でも段差の高低差よりも低い場合には、押圧板18と下地のプラズマTEOS膜34との間がSOG36により充填されないところが基板面に生じて、グローバル段差が残存する。以上述べた方法により、半導体装置におけるグローバル平坦化を達成し、従って、パターンニングの良好な多層配線構造を形成することができる。

【0018】なお、本実施例で示した条件は、本発明の

効果を奏するための一例に過ぎず、他の条件においても膜厚や流動し始める温度の条件を満たす限り、同様の効果が得られることは言うまでもない。また、本実施例では、反応チャンバ12の加熱手段として、抵抗加熱ヒーター14を使用しているが、抵抗加熱ヒーターに代えてランプ加熱ヒータを使用しても良い。

【0019】

【発明の効果】本発明によれば、基板下地層の段差の高低差以上の塗布厚さになるようにシロキサン系SOGを基板下地層上に塗布する工程と、流動化温度以上でシロキサン系SOG塗布膜に熱処理を施し、平面状の押圧面でシロキサン系SOG膜面の高所領域を押圧して、基板面全面にわたり押圧面と下地層との間にシロキサン系SOGを充填させつつキュアリングする工程とを備えることにより、基板のグローバル平坦化を行うことができる。多層配線構造の形成に際し、第1の配線層の形成の後、第2の配線層の形成の前の層間絶縁膜の平坦化に本発明方法を適用することにより、従来の技術に比べて工程数を増やすことなく、基板上のグローバル段差を低減することができ、リソグラフィにおけるフォーカスマージンを拡大することが可能となる。また、本発明に係る平坦化装置は、本発明方法の実施に最適な装置を実現している。

【図面の簡単な説明】

【図1】本発明に係る平坦化装置の実施例の一つの構成を示す模式的断面図である。

【図2】図2（a）から（d）は、本発明方法の要部を実施する際の各工程毎の基板断面図である。

【図3】図3（a）及び（b）は、従来の平坦化方法を実施する際の各工程毎の基板断面図である。

【図4】グローバル段差を説明する図である。

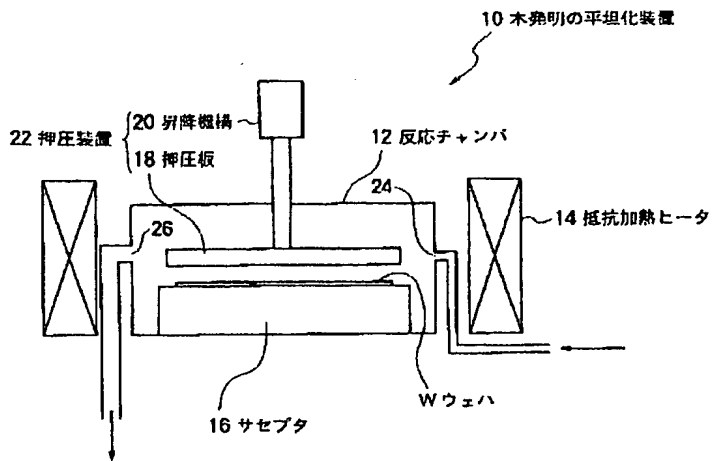
【図5】図5（a）及び（b）は、それぞれ、CMPプロセスを説明する模式的基板断面図である。

【符号の説明】

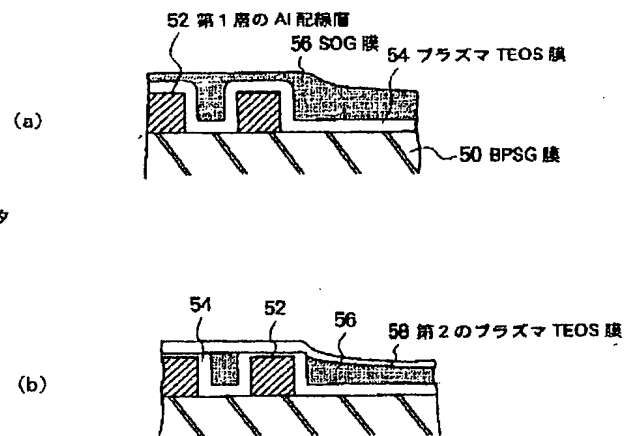
10 本発明に係る平坦化装置の実施例、12……反応チャンバ、14……抵抗加熱ヒーター、16……サセプタ、18……押圧板、20……油圧式昇降機構、22……押圧装置、24……送入口、26……吸引口、30……BPSG膜、32……A1配線層、34……プラズマTEOS膜、36……シロキサン系SOG、38……第2のプラズマTEOS膜、40……第2層のA1配線層、50……BPSG膜、52……第1層のA1配線層、54……プラズマTEOS膜、56……SOG、58……第2のプラズマTEOS膜、60……A1配線が密な領域、62……A1配線が疎な領域、64……層間絶縁膜、66……配線層、68……研磨剤、70……研磨パッド。



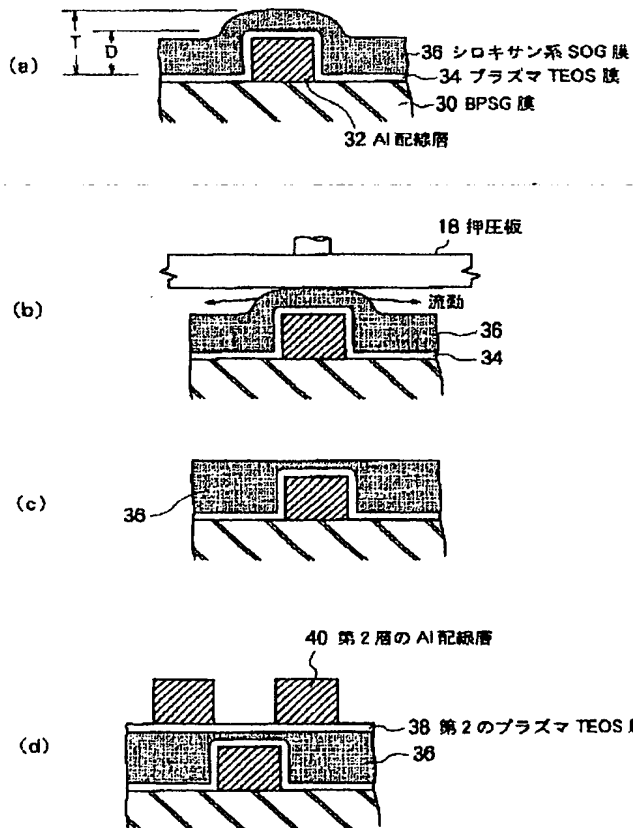
【図1】



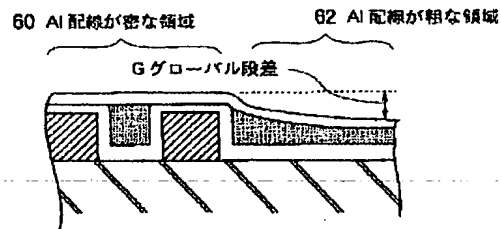
【図3】



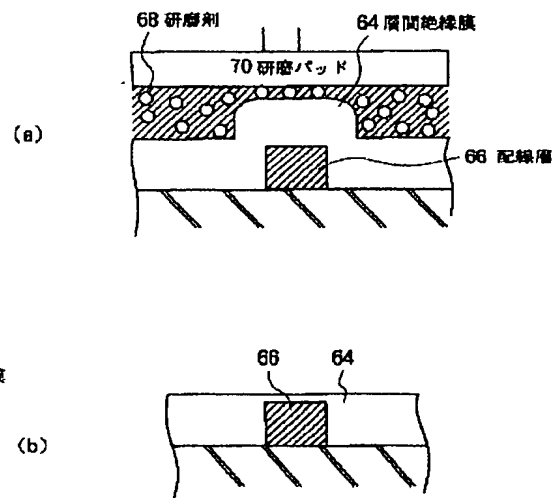
【図2】



【図4】



【図5】



**THIS PAGE BLANK (USPTO)**